

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. Dezember 2000 (21.12.2000)

PCT

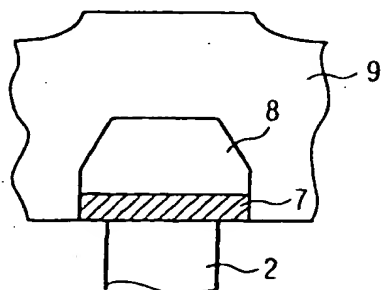
(10) Internationale Veröffentlichungsnummer
WO 00/77841 A1

- (51) Internationale Patentklassifikation⁷: H01L 21/3213 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St. Martin-Strasse 53, D-81541 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE00/01896
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): ENGELHARDT, Manfred [DE/DE]; Edelweissstr. 1a, D-83620 Feldkirchen-Westerham (DE). WEINRICH, Volker [DE/DE]; Brunecker Str. 2, D-81373 München (DE). KREUPL, Franz [DE/DE]; Müllerstr. 43, D-80469 München (DE). SCHIELE, Manuela [DE/DE]; Feldkirchener Str. 10, D-85625 Glonn (DE).
- (22) Internationales Anmeldedatum: 9. Juni 2000 (09.06.2000)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 199 26 501.1 10. Juni 1999 (10.06.1999) DE (74) Anwalt: EPPING - HERMANN & FISCHER; Postfach 12 10 26, 80034 München (DE).

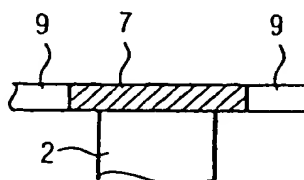
[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A SEMICONDUCTOR MEMORY COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES HALBLEITERSPEICHERBAUELEMENTS



C



D

(57) Abstract: The invention relates to a method for producing a semiconductor memory component, in particular, a DRAM or FeRAM, comprising a silicon substrate. At least one memory capacitor is located on said substrate, comprising a lower electrode, upper electrode and a dielectric layer which lies between said electrodes and which consists, in particular, of a ferroelectric material. The lower electrode is insulated from the silicon substrate by a barrier layer, consisting in particular of a diffusion barrier or a diffusion barrier combined with adhesive layers to form a sandwich. Said adhesive layers consist, in particular, of Ir, IrO₂, or IrO. The barrier layer is structured before the application of the memory capacitor, using a hard mask consisting in particular of SiO₂, SiN, SiON. The hard mask layer which remains after structuration is removed by uncovering the structured barrier layer. The invention is characterised in that the structured barrier layer is embedded in SiO₂, using CVD (Chemical Vapour Deposition) before the removal of the remaining mask layer and that the remaining mask layer is removed with the SiO₂ embedding layer from the surface of the barrier layer, using a SiO₂ CMP (Chemical Mechanical Polishing) process.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FeRAM, mit einem Silizium-Substrat, auf welchem zumindest ein Speicherkondensator mit unterer Elektrode, oberer Elektrode und einer dazwischen liegenden Dielektrikumschicht, insbesondere aus einem ferroelektrischen Material angeordnet ist, wobei die untere Elektrode von dem Silizium-Substrat durch eine Barrierenschicht, insbesondere bestehend aus einer Diffusionsbarriere bzw. einem Diffusionsbarrieren-Sandwich in Kombination mit Haftschichten, insbesondere aus Ir, IrO₂, IrO, isoliert ist. Die Barrierenschicht wird vor dem Aufbringen des Speicherkondensators mittels einer Hartmaske, insbesondere aus SiO₂,

[Fortsetzung auf der nächsten Seite]

WO 00/77841 A1

Beschreibung

Verfahren zur Herstellung eines Halbleiterspeicherbauelements

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements gemäß dem Oberbegriff des Anspruchs 1, wie aus der US-A-5 464 786, der US-A-5 506 166 und der US-A-5 581 436 bekannt.
- 10 Weiterhin ist aus der WO 99/27581 bekannt, auf einem Substrat eine Isolationsschicht mit einem darin befindlichen Kontaktstopfen vorzusehen. Darauf wird ein Dielektrikum mit einer Ausnehmung gebildet und auf dieser Struktur eine Barrierenschicht als Diffusionsbarriere vorgesehen. Dann
- 15 werden eine untere Elektrodenschicht, eine Dielektrikumsschicht und eine obere Elektrodenschicht für einen Speicherkondensator abgeschieden. Daran anschließend wird eine Pufferschicht abgeschieden, welche die Struktur bedeckt und die verbleibende Ausnehmung ausfüllt. In einem
- 20 chemisch-mechanischen Planarisierungsschritt wird schließlich die Pufferschicht bis zur Barrierenschicht abgetragen und dann die an der Oberfläche freiliegende Barrierenschicht entfernt.

- Die betreffenden Halbleiterspeicherbauelemente umfassen
- 25 zumindest einen Speicherkondensator mit einem Speichermedium, das aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher Elektrizitätskonstante besteht. Beim Einsatz derartiger Speichermedien sind Ausheilprozesse bei hohen Temperaturen, charakteristischer Weise in der Größenordnung
- 30 von 800°C, in oxidierender Umgebung mit insbesondere Sauerstoff als Prozeßgas notwendig. Materialdiffusionsprozesse, beispielsweise durch Aufoxidieren von Polysilizium-Stopfen (sogenannten -Plugs), welche der Kontaktierung zum Silizium-

Resists bzw. durch Anlagerung von nur schwierig bzw. gar nicht entfernbaren Redepositionen an den Seitenwänden der erzeugten Struktur oder durch Kombination aus beidem.

5 Bekannt ist außerdem im Zusammenhang mit dem Aufbringen von Speicherkondensatoren auf einem Siliziumsubstrat die Verwendung einer dielektrischen harten Maske bzw. Hardmask, die beispielsweise aus SiO_2 , SiN oder SiON besteht. Wegen der grundsätzlich geringeren Erodierbarkeit dieser Maskenschichten
10 sind bei einer Prozeßführung mit Hilfe dieser Maskenschichten höhere Selektivitäten realisierbar. Aufgrund der Maskenfacet- tierung bei bevorzugt physikalischem Sputterabtrag im Plasmastrukturierungsprozeß muß jedoch die Dicke der Masken- schicht größer gewählt werden als allein durch die Selektivi-
15 tät vorgegeben, um eine Übertragung der Facette in die zu strukturierende Schicht zu vermeiden. Die Entfernung der nach erfolgter Strukturübertragung verbleibenden Maske in einem Plasmaätzprozeß führt zu einer zusätzlichen Vergrößerung der erwünschten Topographie von mindestens der Dicke der zu ent-
20 fernenden Maskenschicht.

Derartige Strukturierungsprozesse sind beispielsweise bekannt aus der US-A-5 464 786, der US-A-5 506 166 und der US-A-
5 581 436. Naßprozesse zum nachfolgenden Abtragen der
25 Maskenschicht scheiden wegen der damit verbundenen zusätzlichen isotropen Unterätzung der Strukturen prinzipiell aus.

Eine Aufgabe der vorliegenden Erfindung besteht darin, ein
30 Verfahren der eingangs genannten Art zu schaffen, welches eine optimal große Oberfläche bzw. Haftfläche der Barrierenschicht gegenüber der unteren Elektrode des Speicherkondensators gewährleistet.

Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert.

Es zeigen:

5

Fig. 1 eine schematische Querschnittsansicht eines Halbleiterspeicherbauelements im Bereich eines Speicherkondensators;

10 Fig. 2 schematisch den bisherigen Herstellungsprozeß für die Barrierenschicht der Anordnung von Fig. 1, wobei im oberen Teil von Fig. 2 das Verfahren nach Lackauftrag und im unteren Teil von Fig. 2 das Verfahren nach erfolgter Strukturübertragung;

15

Fig. 3A und 3B die Verfahrensführung unter Nutzung einer Hard Mask (harten Maske); und

20 Fig. 3C und 3D die erfindungsgemäße Verfahrensführung mit CVD-SiO₂ (Fig. 3C) und SiO₂-CMP (Fig. 3D).

Wie in Fig. 1 schematisch gezeigt, ist auf ein mit z.B. SiO₂ beschichtetes Substrat 0 im Bereich eines dort in
25 herkömmlicher Weise ausgebildeten Stopfens bzw. Plug 2 aus Poly-Si, W und dergleichen, welcher Stopfen 2 sich bis zur Oberseite der SiO₂-Schicht 1 erstreckt, ein Speicherkondensator 3 angeordnet, der eine untere Elektrode 4,
30 eine sogenannte Bottom-Elektrode, eine obere Elektrode 5, eine sogenannte Top-Elektrode und ein dazwischen angeordnetes Dielektrikum 6 bzw. ein Speichermedium aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher

7

Dieser Nachteil wird erfindungsgemäß durch die Prozeßführung gemäß Fig. 3C und Fig. 3D vermieden. Gemäß Fig. 3C wird demnach die strukturierte Barrierenschicht 7 mitsamt der auf ihr verbliebenen Maskenschicht 8 mittels einem CVD-Prozeß in SiO₂ eingebettet. Die SiO₂-Einbettungsschicht ist mit der Bezugs-
5 ziffer 9 bezeichnet. Daraufhin erfolgt, wie in Fig. 3D gezeigt, ein CMP-Prozeß mit Polierstopp auf der Oberfläche der Barrierenschicht 7, durch welchen von der Barrierenschicht 7 die Hartmaske 9 vollständig unter Belassung einer großflächigen ebenen Oberfläche bzw. Kontaktfläche abgetragen wird, auf
10 welcher die nachfolgend aufzubringende untere Elektroden- schicht 4 des Speicherkondensators 3 ohne Erzeugung zusätzlicher Topographie und mit guter Haftung aufgebracht werden kann.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Halbleiterspeicherbauelement für ein DRAM oder ein FeRAM verwendet wird.

5

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß für die Dielektrikumsschicht (6) ein ferroelektrisches Material verwendet wird.

10

5. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Barrierenschicht (7) als eine Diffusionsbarriere oder ein Diffusionsbarrieren-Sandwich in Kombination mit Haftsichten ausgestaltet wird.

15

6. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Haftsichten aus Ir, IrO₂ oder IrO hergestellt werden.

20

7. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Hartmaske (8) aus SiO₂, SiN oder SiON hergestellt wird.

25

8. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Einbettungsschicht (9) durch chemische Dampfphasenabscheidung aus SiO₂ hergestellt wird.

30

9. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß auf dem Substrat (0) eine Isolationsschicht (1) mit einem darin befindlichen Kontaktstopfen (2) vorgesehen wird, worauf die Barrierenschicht (7) als Diffusionsbarriere vorgesehen wird.

2/2

FIG 3A

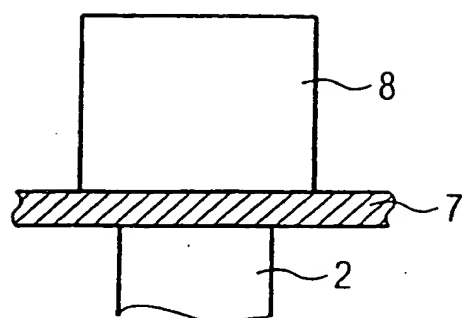


FIG 3B

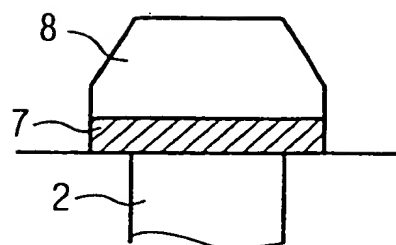


FIG 3C

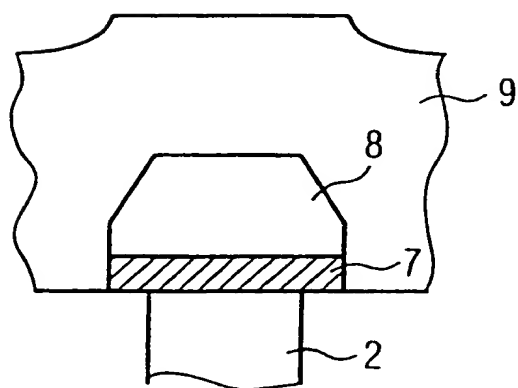
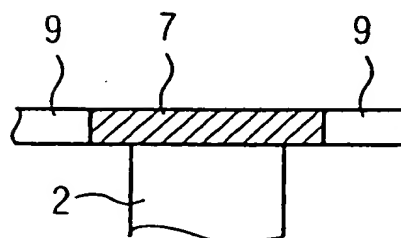


FIG 3D



INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE 00/01896

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5786259 A	28-07-1998	KR 230422 B EP 0887849 A JP 10303395 A	15-11-1999 30-12-1998 13-11-1998
US 5335138 A	02-08-1994	NONE	
US 5907782 A	25-05-1999	US 6100135 A	08-08-2000

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. Aktenzeichen

PCT/DE 00/01896

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5786259 A	28-07-1998	KR 230422 B	15-11-1999
		EP 0887849 A	30-12-1998
		JP 10303395 A	13-11-1998
US 5335138 A	02-08-1994	KEINE	
US 5907782 A	25-05-1999	US 6100135 A	08-08-2000

RESEARCH
PCT/DE 00/01896
08-08-2000
33055
0011-8117